

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-197349
 (43)Date of publication of application : 14.07.2000

(51)Int.CI. H02M 3/155

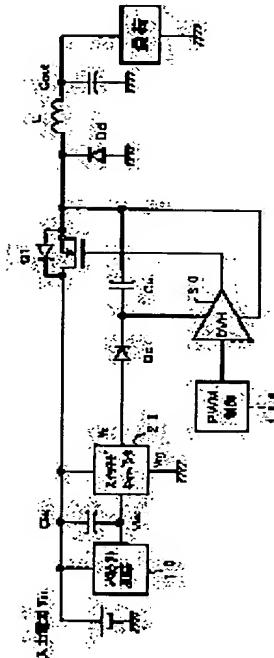
(21)Application number : 10-366501 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 24.12.1998 (72)Inventor : KITAGAWA KIYONARI

(54) DC-TO-DC CONVERTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DC/DC converter circuit for realizing DC/DC conversion by turning on/turning off the input voltage, in which the high conversion efficiency is realized, while supplying a low voltage.

SOLUTION: A DC/DC converter circuit is provided with a level shift circuit to generate the voltage lower than the input voltage by the specified value, a power supply generating circuit to generate the floating power supply having the magnitude of one half of the difference between the input voltage and the output voltage of the level shift circuit, a capacitor to achieve the charge-up by the floating power supply generated by the power supply generating circuit, and a driver circuit 30 to supply the drive voltage to be generated by the charging voltage of the capacitor to a main switching element Q1 according to the action control signal, and to supply the floating power supply generated by the power supply generating circuit to the main switching element Q1 as the drive voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-197349

(P 2000-197349A)

(43) 公開日 平成12年7月14日(2000. 7. 14)

(51) Int. Cl.⁷
H 02 M 3/155

識別記号

F I
H 0 2 M 3/155

テ-マコ-ト (参考)

審査請求 未請求 請求項の数 1 3 OL

(全 14 頁)

(21)出願番号 特願平10-366501
(22)出願日 平成10年12月24日(1998.12.24)

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(72)発明者 喜多川 ▲聖▼也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(74)代理人 100095072
弁理士 岡田 光由 (外1名)
Fターム(参考) 5H730 AA14 BB13 BB57 DD02 DD04
EE10 EE14 FG05 VV01

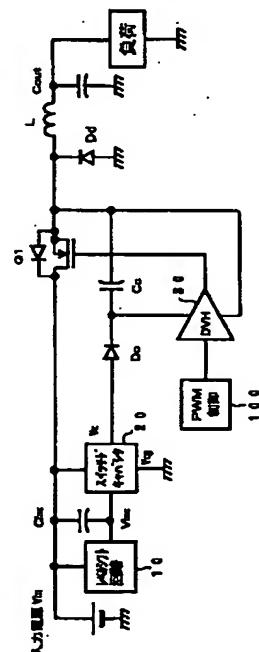
(54) 【発明の名称】 DC - DC コンバータ回路

(57) 【要約】

【課題】本発明は、入力電圧をオンオフすることでDC-DC変換を実行するDC-DCコンバータ回路に関し、低い電圧の供給を可能にしつつ、高い変換効率を実現するDC-DCコンバータ回路の提供を目的とする。

【解決手段】入力電圧より規定の電圧低い電圧を生成するレベルシフト回路と、入力電圧とレベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する電源生成回路と、電源生成回路の生成するフローティング電源によりチャージアップするコンデンサと、動作制御信号に応じて、コンデンサの充電電圧により生成される駆動電圧をメインスイッチング素子に供給したり、電源生成回路の生成するフローティング電源を駆動電圧としてメインスイッチング素子に供給するドライバ回路とを備えるように構成する。

本章第十一節



【特許請求の範囲】

【請求項1】 動作制御信号に応じて入力電圧をオンオフするメインスイッチング素子を備えることで、DC-DC変換を実行するDC-DCコンバータ回路において、

入力電圧より規定の電圧低い電圧を生成するレベルシフト回路と、

入力電圧と上記レベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する電源生成回路と、

上記電源生成回路の生成するフローティング電源によりチャージアップするコンデンサと、

上記動作制御信号に応じて、上記コンデンサの充電電圧により生成される駆動電圧をメインスイッチング素子に供給するドライバ回路とを備えることを、

特徴とするDC-DCコンバータ回路。

【請求項2】 動作制御信号に応じて入力電圧をオンオフするemainスイッチング素子を備えることで、DC-DC変換を実行するDC-DCコンバータ回路において、

入力電圧より規定の電圧低い電圧を生成するレベルシフト回路と、

入力電圧と上記レベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する電源生成回路と、

上記動作制御信号に応じて、上記電源生成回路の生成するフローティング電源を駆動電圧としてメインスイッチング素子に供給するドライバ回路とを備えることを、

特徴とするDC-DCコンバータ回路。

【請求項3】 請求項1記載のDC-DCコンバータ回路において、

メインスイッチング素子とは逆動作モードでオンオフ動作する同期整流型スイッチング素子が設けられるときに備えられて、メインスイッチング素子の動作制御信号に応じて、電源生成回路の生成するフローティング電源を駆動電圧として該同期整流型スイッチング素子に供給する第2のドライバ回路を備えることを、

特徴とするDC-DCコンバータ回路。

【請求項4】 請求項1又は2記載のDC-DCコンバータ回路において、

メインスイッチング素子とは逆動作モードでオンオフ動作する同期整流型スイッチング素子が設けられるときに備えられて、入力電圧とレベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する第2の電源生成回路と、

上記同期整流型スイッチング素子が設けられるときに備えられて、メインスイッチング素子の動作制御信号に応じて、上記第2の電源生成回路の生成するフローティング電源を駆動電圧として上記同期整流型スイッチング素子に供給する第2のドライバ回路とを備えることを、

特徴とするDC-DCコンバータ回路。

【請求項5】 請求項1、2又は3記載のDC-DCコンバータ回路において、

電源生成回路の生成するフローティング電源を、メインスイッチング素子の動作制御信号を生成する回路の電源として用いるように構成されることを、

特徴とするDC-DCコンバータ回路。

【請求項6】 請求項1、2又は3記載のDC-DCコンバータ回路において、

10 電源生成回路が、

入力電圧とレベルシフト回路の出力電圧とを入力として、規定の発振信号に従って開閉動作するスイッチと、該スイッチが閉成するときに充電動作するコンデンサとを有する第1のキャパシタ回路と、

上記第1のキャパシタ回路の充電電圧を入力として、上記発振信号に従って上記スイッチとは逆動作モードで開閉動作するスイッチと、該スイッチが閉成するときに充電動作するコンデンサとを有する第2のキャパシタ回路とを備えることを、

20 特徴とするDC-DCコンバータ回路。

【請求項7】 請求項6記載のDC-DCコンバータ回路において、

発振信号として、メインスイッチング素子の動作制御信号を用いるように構成されることを、

特徴とするDC-DCコンバータ回路。

【請求項8】 請求項4記載のDC-DCコンバータ回路において、

30 電源生成回路か第2の電源生成回路の生成するフローティング電源を、メインスイッチング素子の動作制御信号を生成する回路の電源として用いるように構成することを、

特徴とするDC-DCコンバータ回路。

【請求項9】 請求項4記載のDC-DCコンバータ回路において、

電源生成回路と第2の電源生成回路のそれぞれが、入力電圧とレベルシフト回路の出力電圧とを入力として、規定の発振信号に従って開閉動作するスイッチと、該スイッチが閉成するときに充電動作するコンデンサとを有する第1のキャパシタ回路と、

40 上記第1のキャパシタ回路の充電電圧を入力として、上記発振信号に従って上記スイッチとは逆動作モードで開閉動作するスイッチと、該スイッチが閉成するときに充電動作するコンデンサとを有する第2のキャパシタ回路とを備えることを、

特徴とするDC-DCコンバータ回路。

【請求項10】 請求項9記載のDC-DCコンバータ回路において、

発振信号として、メインスイッチング素子の動作制御信号を用いるように構成されることを、

50 特徴とするDC-DCコンバータ回路。

【請求項11】 請求項1～10に記載されるいずれかのDC-D Cコンバータ回路において、レベルシフト回路が、入力電圧より規定の電圧低い複数の電圧を生成可能とする構成を探って、その内の外部から指示される電圧を生成することを、特徴とするDC-D Cコンバータ回路。

【請求項12】 ドレイン端子が入力電圧側に接続され、ソース端子が負荷側に接続されて、動作制御信号に応じて入力電圧をオンオフするNチャネルMOSFETを備えることで、DC-D C変換を実行するDC-D Cコンバータ回路において、入力電圧より規定の電圧低い電圧を生成するレベルシフト回路と、入力電圧と上記レベルシフト回路の出力電圧とに応じて入力側コンデンサを充電し、それに続けて、該入力側コンデンサの電荷を別に用意される出力側コンデンサに移していくことを繰り返していくことで、フローティング電源を生成する電源生成回路と、上記電源生成回路とNチャネルMOSFETのソース端子との間に設けられて、上記電源生成回路の生成するフローティング電源によりチャージアップする駆動用コンデンサと、上記動作制御信号に応じて、NチャネルMOSFETのソース電圧に上記駆動用コンデンサの充電電圧を加えた電圧を、NチャネルMOSFETのゲート端子に供給するドライバ回路とを備えることを、特徴とするDC-D Cコンバータ回路。

【請求項13】 ドレイン端子が入力電圧側に接続され、ソース端子が負荷側に接続されて、動作制御信号に応じて入力電圧をオンオフするNチャネルMOSFETを備えることで、DC-D C変換を実行するDC-D Cコンバータ回路において、入力電圧より規定の電圧低い電圧を生成するレベルシフト回路と、入力電圧と上記レベルシフト回路の出力電圧とに応じて入力側コンデンサを充電し、それに続けて、該入力側コンデンサの電荷を別に用意される出力側コンデンサに移していくことを繰り返していくことで、フローティング電源を生成する電源生成回路と、上記動作制御信号に応じて、上記電源生成回路の持つ上記出力側コンデンサの充電電圧を、NチャネルMOSFETのゲート端子に供給するドライバ回路とを備えることを、特徴とするDC-D Cコンバータ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力電圧をオンオフすることでDC-D C変換を実行するDC-D Cコンバータ回路に関し、特に、低い電圧の供給を可能にしつつ、高い変換効率を実現するDC-D Cコンバータ回路

に関する。

【0002】 ノートPCなどの電池駆動型装置では、ACアダプタや乾電池などの電圧を負荷が必要とする電圧に変換するDC-D Cコンバータ回路を実装している。この電池駆動型装置の実用性を高めていくためには、DC-D Cコンバータ回路の変換効率を高めていく必要がある。

【0003】

【従来の技術】 ノートPCなどの電池駆動型装置に実装されるDC-D Cコンバータ回路では、PWM制御を行うスイッチングレギュレータを用いて変換効率をできるだけ高くなるようにしている。

【0004】 このDC-D Cコンバータ回路のスイッチング素子として、NチャネルMOSFETを用いることが多い。これは、PチャネルMOSFETよりもNチャネルMOSFETの方が、オン抵抗が低く、価格が安く、製品ラインアップが充実しているなどのメリットがあるからである。

【0005】 しかしながら、NチャネルMOSFETをオンさせるためには、ゲート電圧をソース電圧よりも高くしなければならず、電力ラインのオンオフでは、その電力ラインよりも高い電圧をMOSFETのゲートに印加しなければならない。

【0006】 これを実現するために、従来技術では、図14に示すように、PWM制御回路100の発振するPWM制御信号に応じて、NチャネルMOSFETで構成されるメインスイッチング素子Q1をオンオフすることでDC-D C変換を実行する構成を探るときにあって、入力電圧を入力として規定の電圧を生成する安定化回路

30 200と、安定化回路200とメインスイッチング素子Q1のソースとの間に設けられて、ダイオードDcを介して供給される安定化回路200の電圧によりチャージアップするコンデンサCcと、図15に示すような回路構成に従い、PWM制御回路100の発振するPWM制御信号に応じて、コンデンサCcの電圧かメインスイッチング素子Q1のソース電圧のいずれか一方を選択して、メインスイッチング素子Q1のゲートに入力するドライバ回路300とを備える構成を探っている。

【0007】 ここで、フライホイールダイオードDdは、メインスイッチング素子Q1がオフしているときに、接地からインダクタンスLに流れる電流の経路を確保するために設けられている。

【0008】 この構成に従い、PWM制御信号に応じて、ドライバ回路300がソース電圧を選択してゲートに入力することでメインスイッチング素子Q1がオフしている間に、コンデンサCcがチャージアップし、これに続けて、PWM制御信号に応じて、ドライバ回路300がコンデンサCcの電圧を選択してゲートに入力するときに、ゲートにソース電圧よりもコンデンサCcの電圧だけ高い電圧が入力されることで、メインスイッチ

グ素子Q1がオンすることになる。

【0009】このようにして、従来技術では、安定化回路200とメインスイッチング素子Q1のソースとの間に設けられて、安定化回路200の電圧によりチャージアップするコンデンサCcを使って、NチャネルMOSFETをオンさせるためには必要となるゲート電圧を生成するように処理している。

【0010】また、図16に示すような従来技術も用いられている。この従来技術では、DC-DCコンバータ回路の出力電圧が所定の電圧Vrefに到達した後には、コンデンサCcをDC-DCコンバータ回路の出力電圧でチャージアップするという構成を探っている。

【0011】すなわち、DC-DCコンバータ回路の出力電圧が所定の電圧Vref以下であるときにハイレベルを出力し、所定の電圧Vref以上となるときにローレベルを出力するコンパレータ回路400と、コンパレータ回路400がローレベルを出力するときに、DC-DCコンバータ回路の出力電圧をコンデンサCcに接続するPチャネルMOSFETで構成されるスイッチング素子Q3と、コンパレータ回路400の反転出力端子がハイレベルを出力するときに、安定化回路200とコンデンサCcとの間の接続を切断するPチャネルMOSFETで構成されるスイッチング素子Q4とを備えることで、DC-DCコンバータ回路の出力電圧が所定の電圧Vrefに到達した後には、コンデンサCcをDC-DCコンバータ回路の出力電圧でチャージアップする構成を探っている。

【0012】ここで、図16に示す従来技術では、フライホイールダイオードDdの電圧降下よりもNチャネルMOSFETの電圧降下の方が小さいことで変換効率を高くできることを考慮して、フライホイールダイオードDdに代えて、NチャネルMOSFETで構成される同期整流型スイッチング素子Q2を備える構成を探っている。

【0013】そして、PWM制御回路100の発振するPWM制御信号に従って、接地かスイッチング素子Q4のドレン電圧のいずれか一方を選択して、同期整流型スイッチング素子Q2のゲートに入力するドライバ回路500を備える構成を探って、PWM制御信号に応じてメインスイッチング素子Q1がオフするときには、スイッチング素子Q4のドレン電圧を選択して同期整流型スイッチング素子Q2のゲートに入力することで同期整流型スイッチング素子Q2をオンさせ、PWM制御信号に応じてメインスイッチング素子Q1がオンするときには、接地を選択して同期整流型スイッチング素子Q2のゲートに入力することで同期整流型スイッチング素子Q2をオフさせる構成を探っている。

【0014】

【発明が解決しようとする課題】しかしながら、図14に示す従来技術に従っていると、安定化回路200の損

失が大きいことで、変換効率が低下するという問題点がある。

【0015】すなわち、安定化回路200は、入力電圧の大きさに依らずに規定の電圧を生成するものであり、通常、リニアレギュレータで構成されている。このリニアレギュレータの損失は、よく知られているように、リニアレギュレータの損失=Vin×Iq+(Vin-Vout)×Iout

Vin：入力電圧

10 Iq：リニアレギュレータの消費電流

Vout：リニアレギュレータの出力電圧

Iout：リニアレギュレータの出力電流

と表され、その損失が無視できず、DC-DCコンバータ回路の変換効率が低下するという問題点がある。この問題点は、DC-DCコンバータ回路の出力電流が小さくなるときに、リニアレギュレータの損失が相対的に大きなものとなることで、一層大きなものとなる。

【0016】安定化回路200の損失は入力電圧を低下させることで減少させることができるが、入力電圧を低下させることにも限界がある。

【0017】すなわち、入力電圧≥NチャネルMOSFETの駆動電圧+安定化回路の降下電圧という関係が成立しなければならず、安定化回路200（リニアレギュレータ）の降下電圧は通常0.5V程度必要であることから、入力電圧を低下させることにも限界がある。従って、安定化回路200の損失はある程度以下に減少させることは不可能である。

【0018】一方、図16に示す従来技術は、DC-DCコンバータ回路の出力電圧が立ち上がった後は安定化回路200を使わないことから、安定化回路200の損失によるDC-DCコンバータ回路の変換効率の低下という問題点は起こらないものの、現実にメインスイッチング素子Q1として使用できるNチャネルMOSFETが5V駆動のものであることから、5V未満の電圧で動作する負荷に対して適用できないという問題点がある。

【0019】最近では、2~3Vで動作する電池駆動型装置が普及しつつある。このような負荷に対して図16に示すDC-DCコンバータ回路に従って電源を供給する構成を探る場合、DC-DCコンバータ回路の出力電圧を使ってコンデンサCcをチャージアップすることから、メインスイッチング素子Q1として、2~3V駆動のNチャネルMOSFETを使用する必要がある。

【0020】しかるに、2~3V駆動のNチャネルMOSFETは、オン抵抗が大きく、流せる電流も小さく、ソース-ドレン間の耐圧も低くて、電力の制御用に用いることはできない。これから、図16に示す従来技術は、現実的には5V未満の電圧で動作する負荷に対して適用できない。

【0021】本発明はかかる事情に鑑みてなされたものであって、低い電圧の供給を可能にしつつ、高い変換効

率を実現する新たなDC-D Cコンバータ回路の提供を目的とする。

【0022】

【課題を解決するための手段】この目的を達成するために、本発明のDC-D Cコンバータ回路では、動作制御信号に応じて入力電圧をオンオフするメインスイッチング素子を備えることで、DC-D C変換を実行する構成を探るときにあって、入力電圧より規定の電圧低い電圧を生成するレベルシフト回路と、入力電圧とレベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する電源生成回路と、電源生成回路の生成するフローティング電源によりチャージアップするコンデンサと、メインスイッチング素子の動作制御信号に応じて、コンデンサの充電電圧により生成される駆動電圧をメインスイッチング素子に供給するドライバ回路とを備える構成を探る。

【0023】この構成を探るときにあって、メインスイッチング素子とは逆動作モードでオンオフ動作する同期整流型スイッチング素子が設けられるときに、メインスイッチング素子の動作制御信号に応じて、電源生成回路の生成するフローティング電源を駆動電圧として同期整流型スイッチング素子に供給する第2のドライバ回路を備えることがある。

【0024】そして、この構成を探るときにあって、メインスイッチング素子とは逆動作モードでオンオフ動作する同期整流型スイッチング素子が設けられるときに、入力電圧とレベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する第2の電源生成回路と、メインスイッチング素子の動作制御信号に応じて、第2の電源生成回路の生成するフローティング電源を駆動電圧として同期整流型スイッチング素子に供給する第2のドライバ回路とを備えることがある。

【0025】このように構成される本発明のDC-D Cコンバータ回路では、レベルシフト回路が入力電圧より規定の電圧低い電圧を生成し、電源生成回路は、入力電圧とレベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する。

【0026】これを受けて、コンデンサは、電源生成回路の生成するフローティング電源によりチャージアップし、ドライバ回路は、メインスイッチング素子の動作制御信号に応じて、コンデンサの充電電圧により生成される駆動電圧をメインスイッチング素子に供給することで、メインスイッチング素子の動作を制御する。

【0027】このとき、第2のドライバ回路は、電源生成回路（あるいは第2の電源生成回路）の生成するフローティング電源を駆動電圧として同期整流型スイッチング素子に供給することで、同期整流型スイッチング素子の動作を制御する。

【0028】このようにして、本発明のDC-D Cコンバータ回路では、消費電力の小さいレベルシフト回路と

電圧降下の小さい電源生成回路とを用いてフローティング電源を生成し、そのフローティング電源を駆動電圧としてメインスイッチング素子の動作を制御するという構成を探るので、高い変換効率を実現できるようになる。

【0029】そして、DC-D Cコンバータ回路の出力電圧を使ってメインスイッチング素子の動作を制御するという構成を探らないので、負荷に供給する電圧が小さい場合にあっても、電力の制御に好適なメインスイッチング素子を用いることができるようになる。

【0030】そして、変換効率の向上を図るために同期整流型スイッチング素子が設けられるときにも、同様にフローティング電源を生成して同期整流型スイッチング素子の動作を制御するという構成を探るので、高い変換効率を実現できるようになる。

【0031】また、本発明のDC-D Cコンバータ回路では、動作制御信号に応じて入力電圧をオンオフするメインスイッチング素子を備えることで、DC-D C変換を実行する構成を探るときにあって、入力電圧より規定の電圧低い電圧を生成するレベルシフト回路と、入力電圧とレベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する電源生成回路と、メインスイッチング素子の動作制御信号に応じて、電源生成回路の生成するフローティング電源を駆動電圧としてメインスイッチング素子に供給するドライバ回路とを備える構成を探る。

【0032】この構成を探るときにあって、メインスイッチング素子とは逆動作モードでオンオフ動作する同期整流型スイッチング素子が設けられるときに、入力電圧とレベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する第2の電源生成回路と、メインスイッチング素子の動作制御信号に応じて、第2の電源生成回路の生成するフローティング電源を駆動電圧として同期整流型スイッチング素子に供給する第2のドライバ回路とを備えることがある。

【0033】このように構成される本発明のDC-D Cコンバータ回路では、レベルシフト回路が入力電圧より規定の電圧低い電圧を生成し、電源生成回路は、入力電圧とレベルシフト回路の出力電圧との差分値の大きさを持つフローティング電源を生成する。

【0034】これを受けて、ドライバ回路は、メインスイッチング素子の動作制御信号に応じて、電源生成回路の生成するフローティング電源を駆動電圧として、メインスイッチング素子に供給する。

【0035】このとき、第2のドライバ回路は、第2の電源生成回路の生成するフローティング電源を駆動電圧として同期整流型スイッチング素子に供給することで、同期整流型スイッチング素子の動作を制御する。

【0036】このようにして、本発明のDC-D Cコンバータ回路では、消費電力の小さいレベルシフト回路と電圧降下の小さい電源生成回路とを用いてフローティン

グ電源を生成し、そのフローティング電源を駆動電圧としてメインスイッチング素子の動作を制御するという構成を探るので、高い変換効率を実現できるようになる。

【0037】そして、DC-D Cコンバータ回路の出力電圧を使ってメインスイッチング素子の動作を制御するという構成を探らないので、負荷に供給する電圧が小さい場合にあっても、電力の制御に好適なメインスイッチング素子を用いることができるようになる。

【0038】そして、変換効率の向上を図るために同期整流型スイッチング素子が備えられるときにも、同様にフローティング電源を生成して同期整流型スイッチング素子の動作を制御するという構成を探るので、高い変換効率を実現できるようになる。

【0039】

【発明の実施の形態】以下、実施の形態に従って本発明を詳細に説明する。

【0040】図1に、本発明のDC-D Cコンバータ回路の一実施例を図示する。

【0041】この実施例に従う本発明のDC-D Cコンバータ回路は、図2に示すようなノートPCなどに実装されるものであり、PWM制御回路100の発振するPWM制御信号に応じて、NチャネルMOSFETで構成されるとメインスイッチング素子Q1をオンオフすることでDC-D C変換を実行する構成を探るときにあって、入力電圧Vinを入力として、その入力電圧Vinよりも規定の電圧低い電圧Vincを生成するレベルシフト回路10と、入力電圧Vinとレベルシフト回路10の出力電圧Vincとを入力として、その2つの電圧の差分値の大きさを持つフローティング電源を生成するとともに、マイナス電位側出力端子を接地するスイッチドキャパシタ回路20と、スイッチドキャパシタ回路20のプラス電位側出力端子とメインスイッチング素子Q1のソースとの間に設けられて、ダイオードDcを介して供給されるスイッチドキャパシタ回路20の電圧によりチャージアップするコンデンサCcと、図15に示すような回路構成に従い、PWM制御回路100の発振するPWM制御信号に応じて、コンデンサCcの電圧がメインスイッチング素子Q1のソース電圧のいずれか一方を選択して、メインスイッチング素子Q1のゲートに入力するドライバ回路30とを備える構成を探っている。

【0042】ここで、フライホイールダイオードDdは、メインスイッチング素子Q1がオフしているときに、接地からインダクタンスLに流れる電流の経路を確保するために設けられている。

【0043】図3にレベルシフト回路10の一実施例、図4にスイッチドキャパシタ回路20の一実施例を図示する。

【0044】レベルシフト回路10は、図3に示すような回路構成に従って、入力電圧Vinより規定のレベルシフト電圧Vcrmpだけ低い電圧Vinc(=Vin-Vcrmp)を

生成して出力するように動作する。

【0045】一方、スイッチドキャパシタ回路20は、図4に示すように、入力電圧Vinとレベルシフト回路10の出力電圧Vincとを入力として、発振器21の出力する規定周波数の発振信号に従って開閉動作する第1のスイッチ22と、第1のスイッチ22が閉じるときに充電動作する第1のコンデンサ23と、第1のコンデンサ23の充電電圧を入力として、発振器21の出力する発振信号に従って第1のスイッチ22と逆動作モードで開閉動作する第2のスイッチ24と、第2のスイッチ24が閉じるときに充電動作する第2のコンデンサ25とを備える。

【0046】この回路構成に従って、スイッチドキャパシタ回路20は、入力電圧Vinとレベルシフト回路10の出力電圧Vincとの差分値の大きさを持つフローティング電源を生成するように動作する。

【0047】レベルシフト回路10は、図3に示すような回路構成を探るときに、図5に示すように、レベルシフト電圧Vcrmpを複数用意する構成を探って、外部からの指示に従っていずれかのレベルシフト電圧Vcrmpを選択することで、出力電圧を変更することが可能となる回路構成を探ることがある。この回路構成を用いると、入力電圧Vinが変更されたり、入力電圧Vinが低下するような場合に、それに対処できるようになる。

【0048】また、スイッチドキャパシタ回路20は、図4の実施例では発振器21を備える構成を探ったが、図6に示すように、PWM制御回路100の発振するPWM制御信号を使って第1及び第2のスイッチ22, 23の開閉を制御する構成を探ることも可能である。この構成を探ると、発振器21を省略することが可能になり、発振器21を備える場合に比べて低消費電力化を実現できる。

【0049】このように構成される図1の実施例では、レベルシフト回路10は、入力電圧Vinより規定のレベルシフト電圧Vcrmpだけ低い電圧Vincを生成して出力し、これを受けて、スイッチドキャパシタ回路20は、入力電圧Vinとレベルシフト回路10の出力電圧Vincとの差分値の大きさを持つフローティング電源を生成する。

【0050】一方、ドライバ回路30は、PWM制御信号に応じて、メインスイッチング素子Q1のソース電圧を選択してメインスイッチング素子Q1のゲートに入力することで、メインスイッチング素子Q1をオフさせる。このとき、コンデンサCcは、スイッチドキャパシタ回路20からの電源供給を受けてチャージアップする。

【0051】続いて、ドライバ回路30は、PWM制御信号に応じて、コンデンサCcの電圧を選択してメインスイッチング素子Q1のゲートに入力することで、メインスイッチング素子Q1のゲートに、メインスイッチ

グ素子Q1のソース電圧にコンデンサCcの電圧の加算された電圧を印加することで、メインスイッチング素子Q1をオンさせる。

【0052】このようにして、図1の実施例では、スイッチドキャパシタ回路20の生成するフローティング電源を使ってコンデンサCcをチャージアップすることで、メインスイッチング素子Q1のオン動作を制御するように処理するのである。

【0053】従来技術で用いている安定化回路200の損失は、上述したように、

$$\text{安定化回路の消費電力} \times V_{in} + (V_{in} - V_{out}) \times I_{out}$$

V_{in} : 入力電圧

V_{out} : 出力電圧

I_{out} : 出力電流

となるのに対して、本発明で用いるレベルシフト回路10の損失は、

レベルシフト回路の消費電力 $\times V_{in}$ + スイッチドキャパシタ回路の消費電力 = レベルシフト回路の消費電力 $\times V_{in}$

V_{in} : 入力電圧

となり、「 $(V_{in} - V_{out}) \times I_{out}$ 」という項による消費電力がなく有利である。

【0054】更に、従来技術で用いている安定化回路200の降下電圧は0.5V程度であるのに対して、本発明で用いるスイッチドキャパシタ回路20の電圧降下は0.1V以下となり、入力電圧 V_{in} を従来技術よりも低く設定することができる。従って、「レベルシフト回路の消費電力 $\times V_{in}$ 」で規定される消費電力も、「安定化回路の消費電力 $\times V_{in}$ 」で規定される消費電力より小さくなる。

【0055】これから、図1の実施例に従うと、従来技術よりもDC-DC変換効率を高めることができるようになる。そして、DC-DCコンバータ回路の出力電圧を使ってコンデンサCcをチャージアップするという構成を探らないので、負荷に供給する電圧が小さい場合にあっても、NチャネルMOSFETで構成されるとメインスイッチング素子Q1として、電力の制御に好適なものを用いることができる。

【0056】図7に、本発明のDC-DCコンバータ回路の他の実施例を図示する。

【0057】この実施例では、図1の実施例で備えるコンデンサCc及びダイオードDcを省略する構成を探っている。そして、スイッチドキャパシタ回路20のマイナス電位側出力端子をNチャネルMOSFETで構成されるとメインスイッチング素子Q1のソースに接続するとともに、ドライバ回路30の代わりに、PWM制御回路100の発振するPWM制御信号に応じて、スイッチドキャパシタ回路20のプラス電位側出力端子の出力電圧かメインスイッチング素子Q1のソース電圧のいずれ

か一方を選択して、メインスイッチング素子Q1のゲートに入力するドライバ回路40を備える構成を探っている。

【0058】この構成に従って、スイッチドキャパシタ回路20の持つコンデンサ25を図1の実施例で備えるコンデンサCcと兼用することが可能になることで、図1の実施例で備える必要のあったコンデンサCc及びダイオードDcを省略できるようになる。

【0059】この実施例に従うと、図1の実施例で必要

とした逆流防止用のダイオードDcが不要となり、これによる電圧降下がなくなることで、入力電圧 V_{in} を更に低く設定できるようになる。これにより、図1の実施例よりも更にDC-DC変換効率を高めることができるようになる。

【0060】図8に、本発明のDC-DCコンバータ回路の他の実施例を図示する。

【0061】この実施例は、図1の実施例で備えるフライホイールダイオードDdに代えて、NチャネルMOSFETで構成される同期整流型スイッチング素子Q2を備える場合の構成例である。

【0062】この同期整流型スイッチング素子Q2は、メインスイッチング素子Q1がオンするときにオフし、メインスイッチング素子Q1がオフするときにオンするように動作するものであり、この動作を実現するためには、図8の実施例では、図1の実施例の構成に加えて、PWM制御回路100の発振するPWM制御信号に応じて、接地かスイッチドキャパシタ回路20の出力電圧のいずれか一方を選択して、同期整流型スイッチング素子Q2のゲートに入力するドライバ回路50を備える構成を探っている。

【0063】このドライバ回路50は、PWM制御回路100の発振するPWM制御信号に応じてドライバ回路30がメインスイッチング素子Q1をオンするときに、接地を選択して同期整流型スイッチング素子Q2のゲートに入力することで同期整流型スイッチング素子Q2をオフさせ、PWM制御回路100の発振するPWM制御信号に応じてドライバ回路30がメインスイッチング素子Q1をオフするときに、スイッチドキャパシタ回路20の出力電圧を選択して同期整流型スイッチング素子Q2のゲートに入力することで同期整流型スイッチング素子Q2をオンさせるように動作する。

【0064】この実施例に従うと、フライホイールダイオードDdの電圧降下よりもNチャネルMOSFETの電圧降下の方が小さいので、図1の実施例よりも更にDC-DC変換効率を高めることができるようになる。

【0065】図9に、本発明のDC-DCコンバータ回路の他の実施例を図示する。

【0066】この実施例は、図7の実施例で備えるフライホイールダイオードDdに代えて、NチャネルMOSFETで構成される同期整流型スイッチング素子Q2を

備える場合の構成例である。

【0067】この同期整流型スイッチング素子Q2は、メインスイッチング素子Q1がオンするときにオフし、メインスイッチング素子Q1がオフするときにオンするように動作するものであり、この動作を実現するため、図9の実施例では、図7の実施例の構成に加えて、スイッチドキャパシタ回路20と同一の構成によりフローティング電源を生成するとともに、マイナス電位側出力端子を接地する第2のスイッチドキャパシタ回路60と、PWM制御回路100の発振するPWM制御信号に応じて、接地か第2のスイッチドキャパシタ回路60の出力電圧のいずれか一方を選択して、同期整流型スイッチング素子Q2のゲートに入力するドライバ回路70とを備える構成を探っている。

【0068】このドライバ回路70は、PWM制御回路100の発振するPWM制御信号に応じてドライバ回路40がメインスイッチング素子Q1をオンするときに、接地を選択して同期整流型スイッチング素子Q2のゲートに入力することで同期整流型スイッチング素子Q2をオフさせ、PWM制御回路100の発振するPWM制御信号に応じてドライバ回路40がメインスイッチング素子Q1をオフするときに、第2のスイッチドキャパシタ回路60の出力電圧を選択して同期整流型スイッチング素子Q2のゲートに入力することで同期整流型スイッチング素子Q2をオンさせるように動作する。

【0069】この実施例に従うと、フライホイールダイオードDdの電圧降下よりもNチャネルMOSFETの電圧降下の方が小さいので、図7の実施例よりも更にDC-DC変換効率を高めることができるようになる。

【0070】図10に、本発明のDC-DCコンバータ回路の他の実施例を図示する。

【0071】この実施例は、図8の実施例を前提としつつ、スイッチドキャパシタ回路20と同一の構成によりフローティング電源を生成するとともに、マイナス電位側出力端子を接地する第2のスイッチドキャパシタ回路60を用意する構成を探って、ドライバ回路50が、スイッチドキャパシタ回路20の出力電圧に代えて、この第2のスイッチドキャパシタ回路60の出力電圧を選択するという構成を探っている。

【0072】この実施例に従う場合でも、図8の実施例と同様のDC-DC変換効率を得ることができる。

【0073】図11に、本発明のDC-DCコンバータ回路の他の実施例を図示する。

【0074】この実施例は、図8の実施例に従うときに、スイッチドキャパシタ回路20の生成するフローティング電源をPWM制御回路100の電源として用いる構成を探っている。この構成を探ると、PWM制御回路100の電源を別に用意しなくても済むようになる。

【0075】図12に、本発明のDC-DCコンバータ回路の他の実施例を図示する。

【0076】この実施例は、図9の実施例に従うとき、第2のスイッチドキャパシタ回路60の生成するフローティング電源をPWM制御回路100の電源として用いる構成を探っている。この構成を探ると、PWM制御回路100の電源を別に用意しなくても済むようになる。

【0077】図13に、本発明のDC-DCコンバータ回路の他の実施例を図示する。

【0078】この実施例は、図10の実施例に従うときに、第2のスイッチドキャパシタ回路60の生成するフローティング電源をPWM制御回路100の電源として用いる構成を探っている。この構成を探ると、PWM制御回路100の電源を別に用意しなくても済むようになる。

【0079】図示実施例に従って本発明を説明したが、本発明はこれに限定されるものではない。例えば、レベルシフト回路10は図3に示したものに限られるものではなく、また、スイッチドキャパシタ回路20や第2のスイッチドキャパシタ回路60は図4に示したものに限られるものではない。

【0080】

【発明の効果】以上説明したように、本発明のDC-DCコンバータ回路では、消費電力の小さいレベルシフト回路と電圧降下の小さい電源生成回路とを用いてフローティング電源を生成し、そのフローティング電源を駆動電圧としてメインスイッチング素子の動作を制御するという構成を探るので、高い変換効率を実現できるようになる。

【0081】そして、DC-DCコンバータ回路の出力電圧を使ってメインスイッチング素子の動作を制御するという構成を探らないので、負荷に供給する電圧が小さい場合にあっても、電力の制御に好適なメインスイッチング素子を用いることができるようになる。

【0082】そして、変換効率の向上を図るために同期整流型スイッチング素子が備えられるときにも、同様にフローティング電源を生成して同期整流型スイッチング素子の動作を制御するという構成を探るので、高い変換効率を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例である。

【図2】本発明の実装される装置の説明図である。

【図3】レベルシフト回路の一実施例である。

【図4】スイッチドキャパシタ回路の一実施例である。

【図5】レベルシフト回路の他の実施例である。

【図6】スイッチドキャパシタ回路の他の実施例である。

【図7】本発明の他の実施例である。

【図8】本発明の他の実施例である。

【図9】本発明の他の実施例である。

【図10】本発明の他の実施例である。

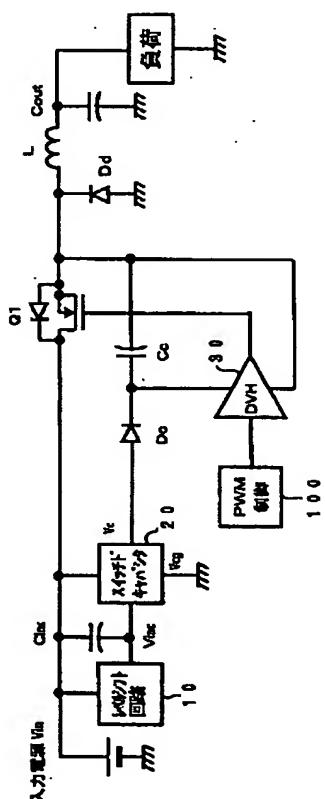
【図11】本発明の他の実施例である。
 【図12】本発明の他の実施例である。
 【図13】本発明の他の実施例である。
 【図14】従来技術の説明図である。
 【図15】ドライバ回路の説明図である。
 【図16】従来技術の説明図である。
 【符号の説明】

Q1 メインスイッチング素子

Cc	コンデンサ
Dc	ダイオード
Dd	ダイオード
L	インダクタンス
10	レベルシフト回路
20	スイッチドキャパシタ回路
30	ドライバ回路
100	PWM制御回路

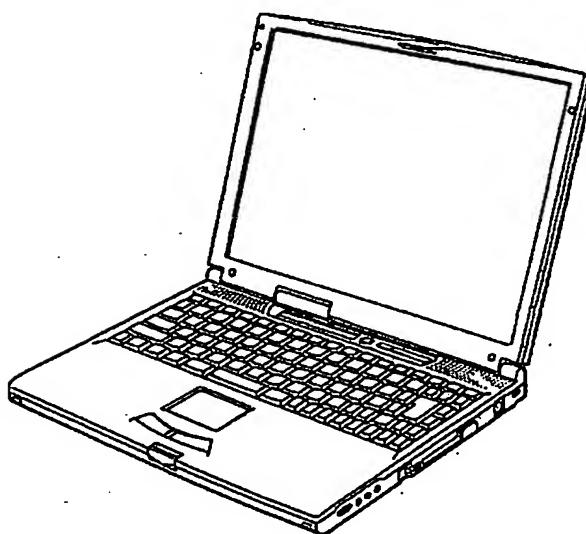
【図1】

本発明の一実施例



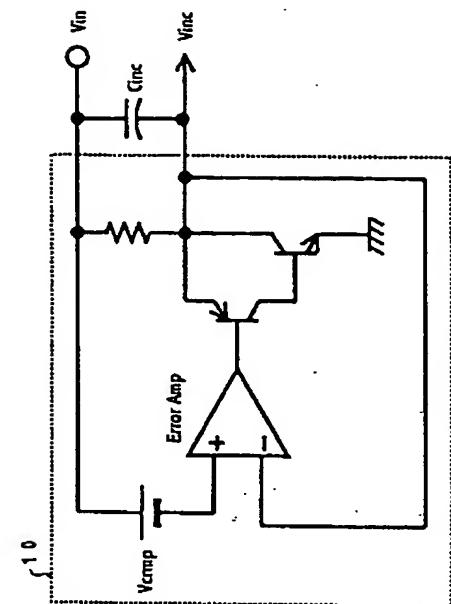
【図2】

本発明の実装される装置の説明図



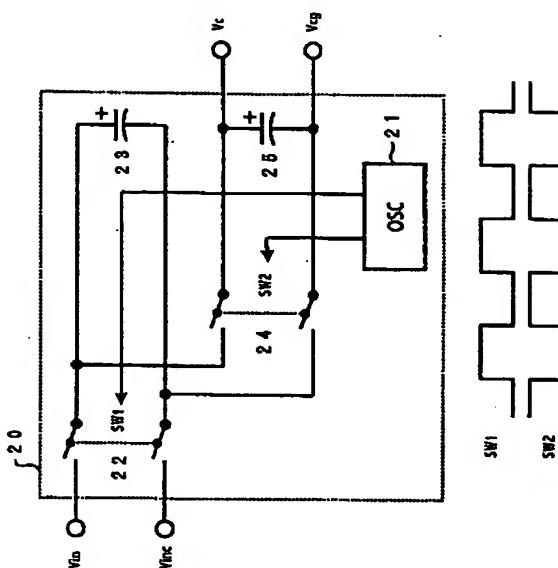
【図3】

レベルシフト回路の一実施例



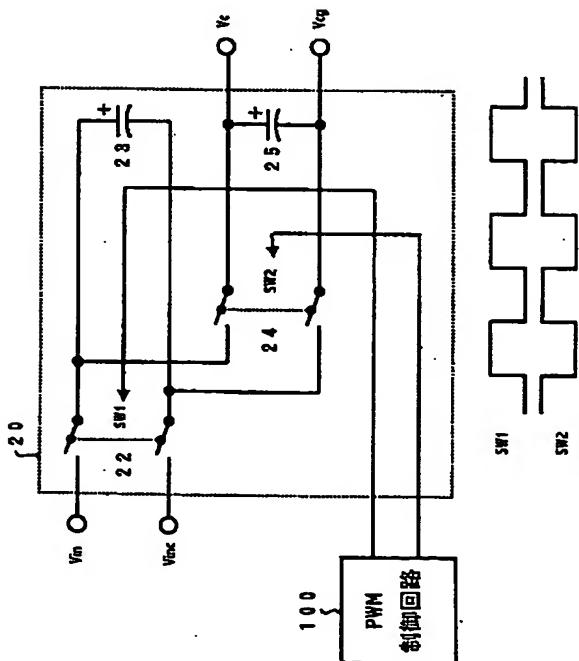
【図4】

スイッチドキャパシタ回路の一実施例



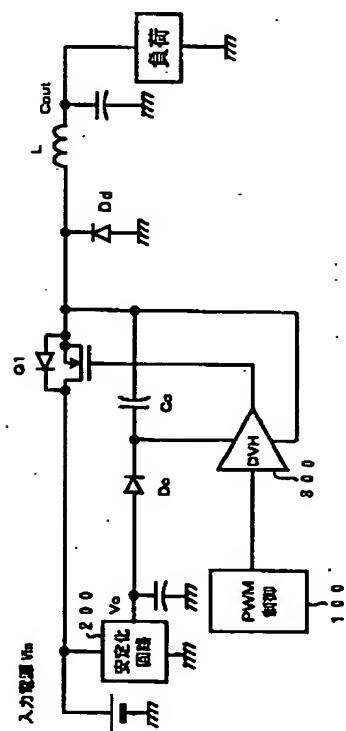
【図6】

スイッチドキャパシタ回路の他の実施例



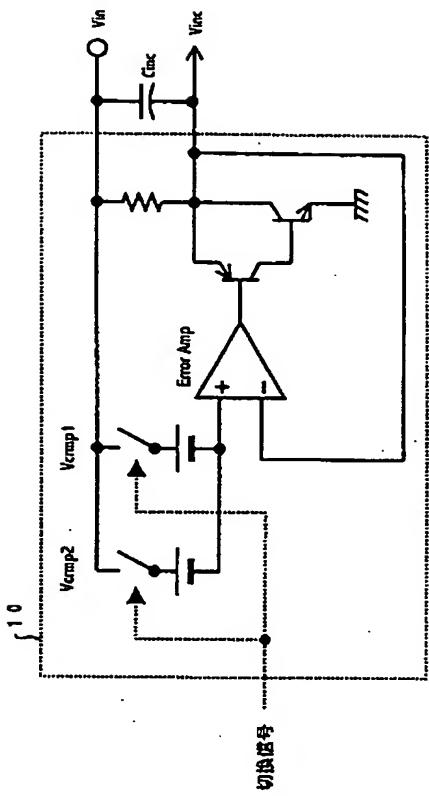
【図14】

従来技術の説明図



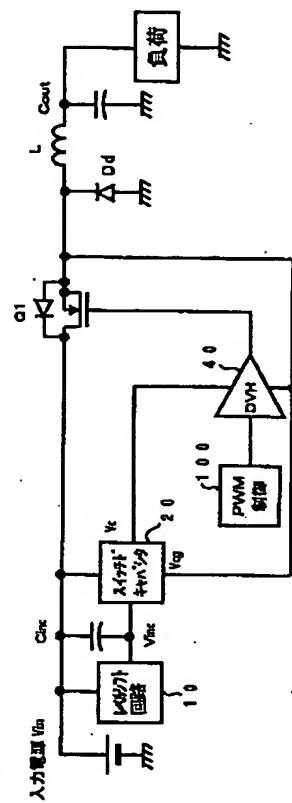
【図5】

レベルシフト回路の他の実施例 本発明の他の実施例



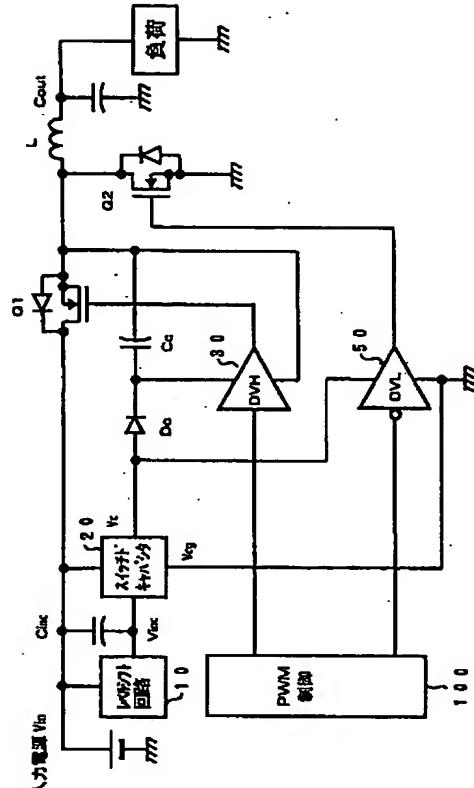
【図7】

本発明の他の実施例



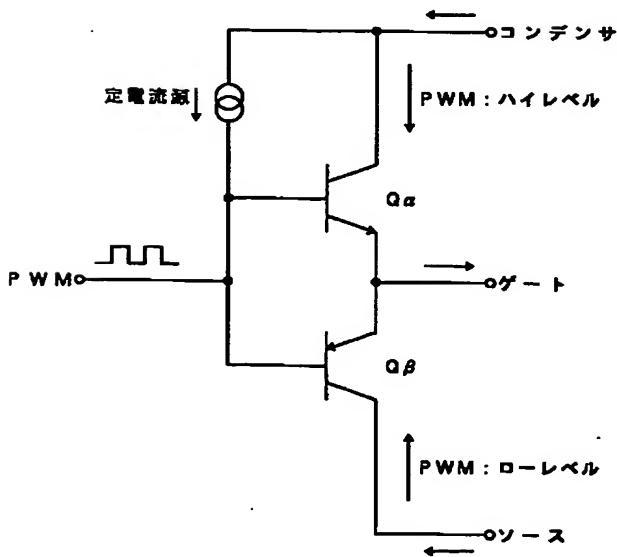
[图 8]

本発明の他の実施例



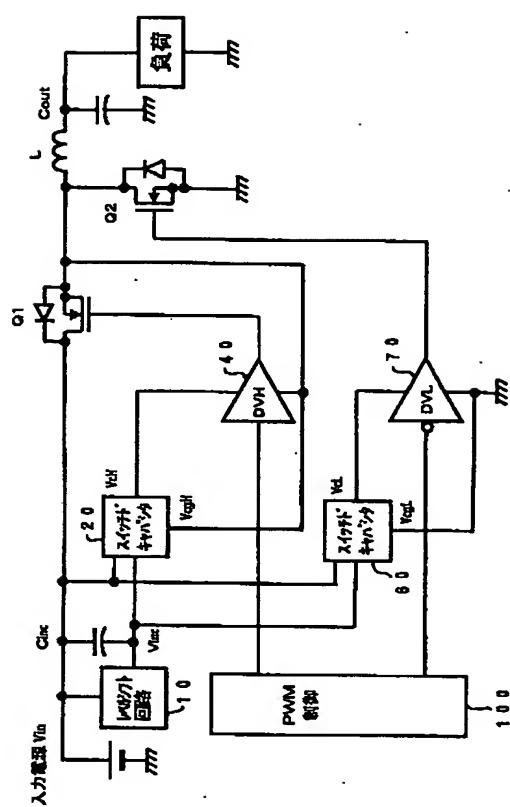
【図15】

ドライバ回路の説明図



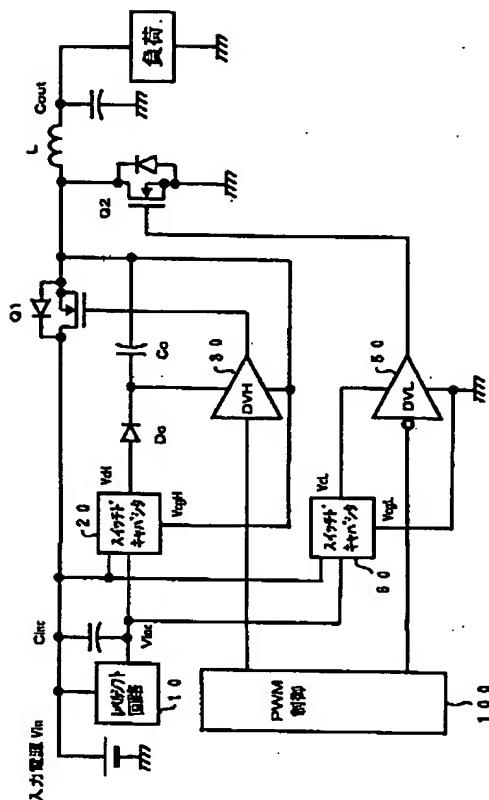
【図9】

本発明の他の実施例



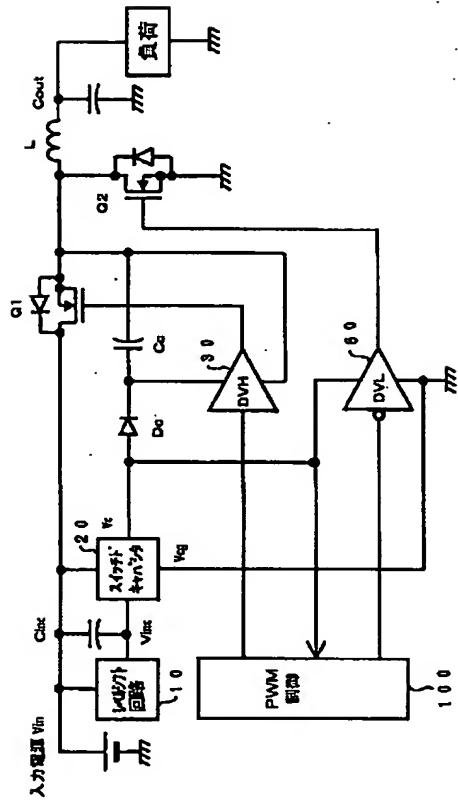
【図10】

本発明の他の実施例



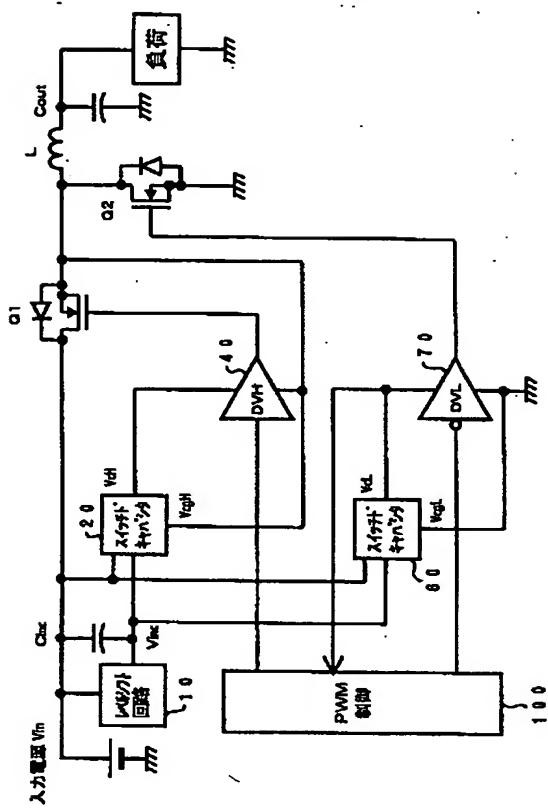
【図11】

本発明の他の実施例



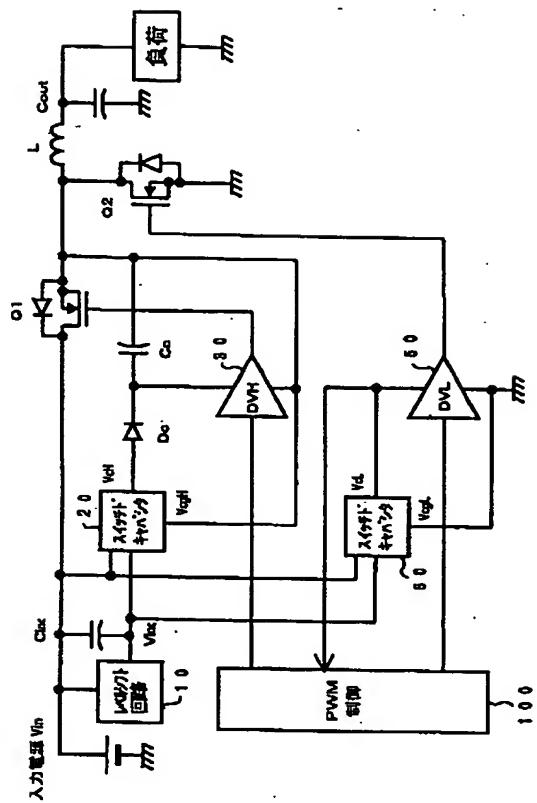
【図12】

本発明の他の実施例



【図13】

本発明の他の実施例



【図16】

従来技術の説明図

